

⑫ 公開特許公報(A) 平1-212467

⑮ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)8月25日

H 01 L 27/14  
27/04  
27/12  
27/15  
29/06  
31/10

J-8122-5F  
F-7514-5F  
7514-5F  
7733-5F  
8526-5F  
A-7733-5F

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭63-36860

⑰ 出 願 昭63(1988)2月19日

⑱ 発 明 者 松 本 卓 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

Ⅲ-V族化合物半導体材料からなり、1つまたは複数の能動または受動素子を有し、導電性を有する第一の層と導電性を持たない第二の層を有し、前記第一の層の少くとも側面を前記第二の層で覆った構造の有する半導体装置において、前記第一の層の側壁が(111)B面で構成され、前記第二の層が深い単位を形成する不純物を1種以上含有する半導体からなる高抵抗層であることを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は埋め込み構造を有する半導体装置に関する。

〔従来の技術〕

Ⅲ-V族化合物半導体はすでに光デバイスとして半導体レーザ、発光ダイオード、PIN、APD、電子デバイスとしてMESFET、など各種の機能デバイスが研究開発されている。またこれらの光デバイスと電子デバイスを組み合わせた光電子集積回路(Optoelectronic Integrated Circuit; OEIC)も各所で積極的に研究がなされている。

ところで電流を阻止する電流ブロック技術はⅢ-V族化合物デバイスに各所で用いられている。例えば2重溝平面埋め込み型半導体レーザ(Double Channel Planar Buried Heterostructure Laser Diode; 略称DC-PBH LD)においては、活性領域以外の部分をpnpn接合構造を有する埋め込み層とすることにより形成されるnp逆接合を利用して電流を阻止し、活性領域への選択的な電流注入を実現している。

またOEICにおいては高抵抗基板上に各種機能デバイスを作製し、その素子分離はメサエッチン

グを施すことによって実現している。

しかし、光通信技術の発展に伴い、高速変調が半導体発光素子に要求され、上記n-p逆接合の寄生容量が10pFを超えるために、1Gb/s以上の高速で変調することが困難であることが明らかになって来た。またOEICにおいてメサエッチングによる素子分離はデバイス間に大きな段差を生じ、プロセス工程の歩留まりを低下させたり、あるいは微細加工を困難にするという欠点を有していた。

そこで近年、上記問題点を解決し、高速変調可能な発光素子を開発するために、深い単位を形成する不純物を含有する高抵抗層成長技術が研究されている。例えばInP系についてはFeドープ高抵抗層があり、第19回固体素子コンファレンス1987年95頁-98頁(Extended Abstracts of the 19th Conference on Solid State Devices and Materials, Tokyo, 1987, p95-98)に記載されている。

上記高抵抗層を埋め込み層に用いれば、寄生容量は極値かとなり、したがって高速変調が可能と

にメサ構造を形成し(111)A面を側壁としていた。

従来の構造において漏れ電流の発生する機構を調べ、上記深い単位を形成する不純物を含有する高抵抗層は、埋め込み成長に用いると(111)A面の側壁界面近傍の深い単位を形成する不純物濃度が減少して抵抗率が局所的に低下すること、そしてこれが上記漏れ電流の原因であることを本発明者等の実験により見出した。ところで(111)A面は気相成長において最も成長速度の速い成長面である。深い単位を形成する不純物濃度は成長速度に依存し、この様な成長速度の速い面方位で成長を行なうと深い単位を形成する不純物濃度が減少して抵抗率が低下することを見出した。この結果(111)A面を側壁とする埋め込み成長を行なうと(001)面上の成長と(111)A面上で同時に成長し、(111)A面上の成長部が低抵抗化してしまふ。

そこで(111)B面を側壁とする高抵抗埋め込み半導体装置を考案した。本発明の構造によれば

なり、プレーナデバイスが実現でき、高歩留まりかつ高集積化が期待される。

〔発明が解決しようとする課題〕

上記高抵抗層は平坦な(001)基板上的FeドープInPの成長においては約 $10^8 \Omega \cdot \text{cm}$ と発光素子の電流ブロック層として十分な抵抗率を有している。しかし実際にメサ構造の電流ブロック層として、深い単位を形成する不純物を含有する高抵抗層を埋め込むと、漏れ電流が埋め込み層中を流れてしまひ、電流阻止効率が低下するという問題が発生していた。

〔課題を解決するための手段〕

すなわち本発明は、Ⅲ-V族化合物半導体材料からなり、導電性を有する第一の層を導電性を持たない第二の層で埋め込んだ構造を有する半導体装置において、前記第一の層の側壁が(111)B面で構成されることを特徴としている。

〔作用〕

従来高抵抗埋め込み半導体装置の構造は面方位が(001)、あるいは(001)近傍である基板上

埋め込み側面は(111)B面より構成され、この面の成長速度は非常に速いために(001)面上の成長が支配的になり、高抵抗化が容易に実現でき、従って漏れ電流も極めて少ないことがわかった。

〔実施例〕

以上本発明の実施例を図面を参照して詳細に説明する。第1図は本発明の実施例を示す光電子集積回路の<110>方向から見た構造断面図である。半絶縁性(001)InP基板11上にフォトダイオード12が高抵抗電流ブロック層13で埋め込まれ、その上部に電界効果トランジスタ14が構成されている。フォトダイオード12はn型バッファ層21に硫黄(S)を $5 \times 10^{18} \text{cm}^{-3}$ ドープしたInP層、光吸収層22にアンドープInGaAs層、ウィンドウ層23としてアンドープInP層が順次積層され、ウィンドウ層内にZn拡散領域24が形成された構造となっている。

フォトダイオード12の側面はメサ構造の(111)B面となっており、この面HBr、 $\text{H}_3\text{PO}_4$ 混合エッチャントにて形成した。

高抵抗電流ブロック層13は鉄(Fe)を $1 \times 10^{18}$   $\text{cm}^{-3}$  ドープしたInP層をハイドライドVPE法にて選択成長した。

電界効果トランジスタ14は高抵抗電流ブロック層13上にInP層をハイドライドVPE法にて選択成長し、このInP層上に電極25を設けて形成した。前記フォトダイオードとMESFETをそれぞれ駆動させると完全に素子分離がなされており、漏洩電流は極めて少ないことがわかった。また寄生容量も従来の1/10程度に低減されていることが確認された。上記実施例では半導体受光素子と電界効果トランジスタを集積化したOEICに素子分離技術として適用した場合について述べたが、OEICに限らず半導体レーザ・発光ダイオードアレイ等の半導体素子分離にも適用が可能である。また集積素子に限らず単体素子、例えば埋め込み構造の半導体レーザ等の電流ブロック層として高抵抗埋め込み層を用いる場合にも同様に有効である。

上記実施例では、前記高抵抗埋め込み層として

FeドープInPを用いたが、深い単位を形成する不純物としてはクロム(Cr)、バナジウム(V)、マンガン(Mn)、コバルト(Co)、チタン(Ti)等をもちいてもよく、また埋め込み材料としてもInPに限らずInP基板に格子整合したInGaAsPでも良い。

上記実施例では、InGaAs/InP系半導体材料が用いられよが、GaAlAs/GaAs系、InGaAlP/GaAs系等他のⅢ-Ⅴ族化合物半導体材料からなる半導体素子にも同様に適用可能である。

#### 〔発明の効果〕

本発明による半導体装置は、寄生容量が小さく、またメサ調整部を(111)B面で形成しているため漏洩電流が極めて少なく、従って高効率な高抵抗埋め込み半導体装置が得られる。

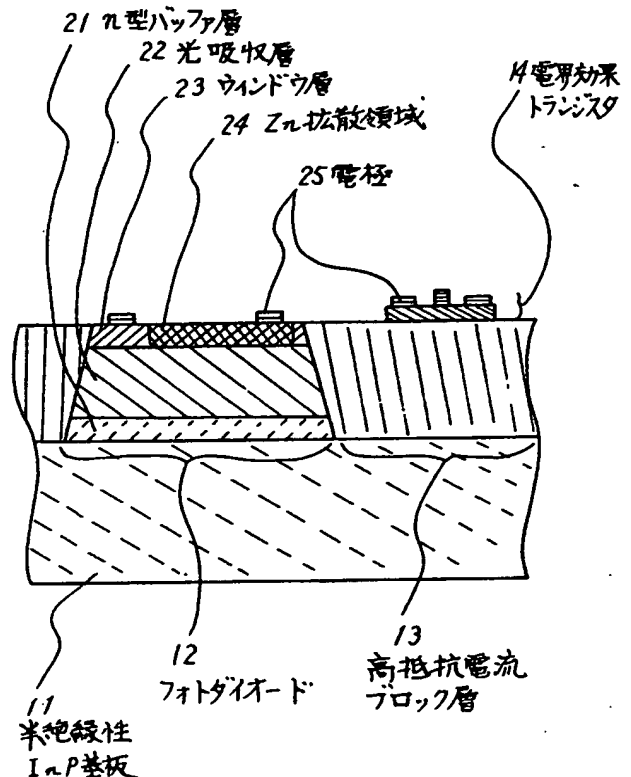
#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す埋め込み構造半導体装置の<110>方向から見た構造断面図である。

図において、11……InP基板、12……フォトダイオード、13……高抵抗電流ブロック層、14……電界効果トランジスタ、21……n型バッファ層、22……光吸収層、23……ウインドウ層、24……Zn拡散領域、25……電極を示す。

代理人 弁理士 内 原 晋

第1図



CLIPPEDIMAGE= JP401212467A

PAT-NO: JP401212467A

DOCUMENT-IDENTIFIER: JP 01212467 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: August 25, 1989

INVENTOR-INFORMATION:

NAME

MATSUMOTO, TAKU

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP63036860

APPL-DATE: February 19, 1988

INT-CL (IPC): H01L027/14;H01L027/04 ;H01L027/12 ;H01L027/15  
;H01L029/06  
;H01L031/10

US-CL-CURRENT: 257/465

ABSTRACT:

PURPOSE: To reduce leak currents and to realize a highly efficient semiconductor device with a buried high-resistance layer by a method wherein the first-layer sidewall is constituted of a plane (111) B in a III-V compound semiconductor material structure provided with a conductive first layer buried in a non- conductive second layer.

CONSTITUTION: A photodiode 12 is buried in a high-resistance current-blocking layer 13 on a semiinsulating (001) InP substrate 11 and, thereon, a field-effect transistor 14 is constructed. The side wall of the photodiode 12

is a mesa- structure plane (111) B formed using an etching mixture of HBr and H<sub>3</sub>PO<sub>4</sub>. The field-effect transistor 14 is built of an InP layer selectively formed by the hydride VPE method on the high-resistance current-blocking layer 13 and electrodes 25 built on the InP layer. In this design there is perfect element isolation involving the plane (111) B between the photodiode 12 and the MES field effect transistor 14, which greatly reduced leaks.

COPYRIGHT: (C)1989, JPO&Japio